

Docket No.: 60188-836

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
:   
Takatoshi YASUI, et al. : Confirmation Number:  
:   
Serial No.: : Group Art Unit:  
:   
Filed: April 15, 2004 : Examiner:  
:   
For: SEMICONDUCTOR DEVICE AND METHOD FOR EVALUATING  
CHARACTERISTICS OF THE SAME

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-120078, filed April 24, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: April 15, 2004**

60188-836  
T. YASUI et al.  
April 15, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 4 月 2 4 日

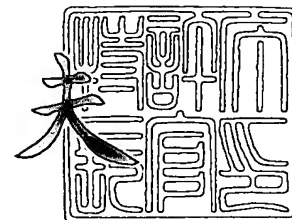
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 2 0 0 7 8  
[ST. 10/C]: [ J P 2 0 0 3 - 1 2 0 0 7 8 ]

出 願 人  
Applicant(s): 松下電器産業株式会社

2 0 0 4 年 1 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 4 - 3 0 0 3 2 1 4

【書類名】 特許願

【整理番号】 2926440333

【提出日】 平成15年 4月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 安井 孝俊

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 柁谷 敦宏

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその特性評価方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板内の活性領域に配置される実使用 M I S トランジスタと、

上記半導体基板内の活性領域に配置され、各々ゲート電極、ソース領域及びドレイン領域を有し、上記実使用 M I S トランジスタの特性を代表させるための複数の評価用 M I S トランジスタと、

上記複数の評価用 M I S トランジスタの各ゲート電極に電氣的に接続されるゲート用共通導体部と、

上記複数の評価用 M I S トランジスタの各ソース領域に電氣的に接続されるソース用共通導体部と、

上記複数の評価用 M I S トランジスタの各ドレイン領域に電氣的に接続されるドレイン用共通導体部と  
を備えている半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

上記複数の評価用 M I S トランジスタは、互いに隣接している複数の活性領域に配置されている、半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、

上記評価用 M I S トランジスタの各ゲート電極は、共通化された 1 つのゲート電極である、半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、

上記ソース用共通導体部及びドレイン用共通導体部と上記複数の評価用 M I S トランジスタの各ソース領域及び各ドレイン領域との間に介在する層間絶縁膜と、

各々上記層間絶縁膜を貫通して、上記ソース用共通導体部と上記各ソース領域との間、上記ドレイン用共通導体部と上記各ドレイン領域との間をそれぞれ接続するプラグとを備え、

上記ソース用共通導体部及びドレイン用共通導体部は、それぞれ分岐して上記

プラグに接続されている先端部を有している、半導体装置。

【請求項 5】 請求項 3 又は 4 記載の半導体装置において、

上記評価用 M I S トランジスタのゲート電極の両側に設けられ、上記ゲート電極に実質的に平行に並び、ゲートとして機能しないダミー電極をさらに備えている、半導体装置。

【請求項 6】 請求項 2 ～ 5 のうちいずれか 1 つに記載の半導体装置において、

上記複数の評価用 M I S トランジスタが配置されている上記複数の活性領域は、実質的に一列に配置されていて、上記複数の活性領域のうち両端の活性領域の各側方には、M I S トランジスタが存在しないダミー活性領域がそれぞれ設けられている、半導体装置。

【請求項 7】 請求項 1 ～ 6 のうちいずれか 1 つに記載の半導体装置において、

上記複数の評価用 M I S トランジスタは、上記実使用 M I S トランジスタと実質的に同じ構造を有している、半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、

上記実使用 M I S トランジスタは、互いに構造が実質的に異なる複数種類の実使用 M I S トランジスタに分けられ、

上記評価用 M I S トランジスタは、上記複数種類の実使用 M I S トランジスタと実質的に構造が同じである複数種類の評価用 M I S トランジスタに分けられる、半導体装置。

【請求項 9】 請求項 1 ～ 5 のうちいずれか 1 つに記載の半導体装置において、

上記複数の評価用 M I S トランジスタが配置される活性領域は、上記実使用 M I S トランジスタが配置される活性領域よりもゲート長方向寸法が大きい、半導体装置。

【請求項 10】 請求項 6 記載の半導体装置において、

上記複数の評価用 M I S トランジスタが配置される活性領域及び上記ダミー活性領域は、上記実使用 M I S トランジスタが配置される活性領域よりもゲート長

方向寸法が大きい、半導体装置。

【請求項 11】 半導体基板と、上記半導体基板内の活性領域に配置される実使用MISトランジスタと、上記半導体基板内の活性領域に配置される複数の評価用MISトランジスタとを備えている半導体装置の特性評価方法であって、

ウェハを各々複数の評価用MISトランジスタを有する複数のブロックに区画して、上記各ブロックごとに上記複数の評価用MISトランジスタの特性を評価して、その評価結果をメモリに保存するステップ（a）と、

上記各ブロックごとに、上記メモリに保存されている上記ステップ（a）における評価結果から上記複数の評価用MISトランジスタの特性の平均値を算出して、その算出結果をメモリに保存するステップ（b）とを含む半導体装置の特性評価方法。

【請求項 12】 請求項 11 記載の半導体装置の評価方法において、

上記半導体装置は、上記複数の評価用MISトランジスタの各ゲート電極に電氣的に接続されるゲート用共通導体部と、上記複数の評価用MISトランジスタの各ソース領域に電氣的に接続されるソース用共通導体部と、上記複数の評価用MISトランジスタの各ドレイン領域に電氣的に接続されるドレイン用共通導体部とを備えており、

上記ステップ（b）では、上記ゲート共通導体部、ソース共通導体部及びドレイン用共通導体部に接続される複数のMISトランジスタの特性の平均値を算出する、半導体装置の評価方法。

【請求項 13】 請求項 11 記載の半導体装置の評価方法において、

上記ステップ（a）では、上記複数の評価用MISトランジスタをウェハのスクライブ領域に配置する、半導体装置の評価方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、実使用素子の外に特性評価用素子が設けられている半導体装置及びその特性評価方法に関する。

【0002】



**【従来の技術】**

従来より、半導体装置には、製造上の特性のバラツキ、プロセストラブル等による特性異常などを、製品のプローブ検査を行わずに簡単にチェックできるように、コンタクト抵抗、トランジスタのしきい値電圧、 $I-V$ 特性などが測定できる特性チェック用素子が設けられている。

**【0003】**

図11(a), (b), (c)は、それぞれ順に、従来の特性評価用素子の評価部の回路図、平面図及び断面図である。

**【0004】**

図11(a), (b)に示すように、評価部は、特性評価用素子であるMISトランジスタ101と、MISトランジスタ101のソース領域105に接続されるソースパッド102と、MISトランジスタ101のドレイン領域106に接続されるドレインパッド103と、MISトランジスタのゲート電極107に接続されるゲートパッド104とを備えている。

**【0005】**

また、図11(c)に示すように、Si基板である半導体基板100には、活性領域を区画するトレンチ素子分離(STI)110と、各々不純物拡散領域であるソース領域105及びドレイン領域106とが設けられている。また、MISトランジスタは、活性領域上に設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられたゲート電極107と、ゲート電極107の側面上に設けられたサイドウォール109とを備えている。さらに、半導体基板100上には、ゲート電極107やサイドウォール109などを覆う層間絶縁膜111と、層間絶縁膜111を貫通してソース領域105及びドレイン領域106に到達するプラグ112とが設けられている。そして、ソースパッド102、ドレインパッド103及びゲートパッド104は、層間絶縁膜111の上に設けられており、それぞれプラグ112により、ソース領域105、ドレイン領域106及びゲート電極107に接続されている。

**【0006】****【特許文献1】**

特開 2 0 0 0 - 2 1 4 2 2 8 号公報 (要約書)

【0 0 0 7】

【発明が解決しようとする課題】

ところで、半導体装置の微細化が進むにつれ、半導体装置中のM I Sトランジスタのゲート長、ゲート幅ともに小さくなるため、不純物濃度分布のばらつきや、加工精度のばらつき等による、M I Sトランジスタの各種特性のランダムなばらつきがますます顕著になってきている。

【0 0 0 8】

一方、半導体集積回路全体のスタンバイ電流やゲート遅延を考えると、それらの特性に関与する素子 (M I Sトランジスタ) の数は数百万個程度の膨大な数であるため、ランダムなばらつきが相殺される。そして、その結果、半導体集積回路の各種特性は、比較的ばらつき (標準偏差) が小さい。

【0 0 0 9】

したがって、上記従来のような特性評価部を用いて評価すると、実際の半導体集積回路の特性のばらつき以上の大きなばらつきを示す評価結果が得られる、つまり、半導体集積回路本体の特性分布を代表しないようになっていくので、製造条件を過剰に厳しく管理するおそれがある。

【0 0 1 0】

本発明の目的は、半導体装置全体の特性のばらつきに近い特性のばらつきを得るための評価部を設けることにより、半導体装置の評価精度の向上を図り、ひいては半導体装置の製造管理の容易化を図ることにある。

【0 0 1 1】

【課題を解決するための手段】

本発明の半導体装置は、実使用M I Sトランジスタと評価用M I Sトランジスタを有し、複数の評価用M I Sトランジスタを並列に配置して、各ゲート電極に電氣的に接続されるゲート用共通導体部と、各ソース領域に電氣的に接続されるソース用共通導体部と、各ドレイン領域に電氣的に接続されるドレイン用共通導体部とを備えている。

【0 0 1 2】

これにより、複数の評価用MISトランジスタのゲート幅が実使用MISトランジスタよりも長くなるので、特性のばらつきが低減されて、実使用の半導体装置における特性のばらつきに近づくことがわかった。

#### 【0013】

ソース用共通導体部及びドレイン用共通導体部は、それぞれ分岐している先端部を有していることにより、電氣的なショートを回避することができる。

#### 【0014】

評価用MISトランジスタのゲート電極の両側にダミー電極をさらに備えていることにより、ゲート電極の寸法精度が向上するので、評価される特性のばらつきが小さくなるなど、評価精度も向上する。

#### 【0015】

複数の評価用MISトランジスタが配置されている活性領域の側方にダミー活性領域を設けることにより、活性領域が素子分離領域から受ける応力が各活性領域で均一化されるので、評価される特性のばらつきが低減され、評価精度が向上する。

#### 【0016】

評価用MISトランジスタは、実使用MISトランジスタと実質的に同じ構造を有していることが好ましい。

#### 【0017】

評価用MISトランジスタは、実使用MISトランジスタの種類に応じて、各種類別に設けられていることが好ましい。

#### 【0018】

本発明の半導体装置の特性評価方法は、ウェハを複数のブロックに区画して、各ブロックごとに評価用MISトランジスタの特性を評価して、各ブロックごとに、記複数の評価用MISトランジスタの特性の平均値を算出する方法である。

#### 【0019】

このようにして算出された平均値のばらつきは、実際の半導体装置を使用するときにMISトランジスタの特性のばらつきとして現れる値に近づいているので、評価精度の向上を図ることができる。

**【0020】**

この場合にも、複数の評価用MISトランジスタを並列に配置して、各ゲート電極に電氣的に接続されるゲート用共通導体部と、各ソース領域に電氣的に接続されるソース用共通導体部と、各ドレイン領域に電氣的に接続されるドレイン用共通導体部とを備えていることが好ましい。

**【0021】**

また、評価用MISトランジスタをウェハのスクライブ領域に配置することもできる。

**【0022】****【発明の実施の形態】****(第1の実施形態)****ー評価部の構造ー**

図1(a), (b)は、それぞれ順に、第1の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の1つの評価用MISトランジスタのI-I線における断面図である。

**【0023】**

図1(a), (b)に示すように、評価部は、トレンチ素子分離11によって囲まれる3つの活性領域RacA, RacB, RacCに、特性評価用素子である評価用MISトランジスタTrA, TrB, TrCを配置して構成されている。そして、3つの評価用MISトランジスタTrA~TrCに共通のゲート電極17が設けられている。そして、評価部は、3つの評価用MISトランジスタTrA~TrCの各ソース領域15に共通に電氣的に接続されるソースパッド12(ソース用共通導体部)と、3つの評価用MISトランジスタTrA~TrCの各ドレイン領域16に共通に電氣的に接続されるドレインパッド13(ドレイン用共通導体部)と、3つの評価用MISトランジスタTrA~TrCに共通のゲート電極17に電氣的に接続されるゲートパッド14(ゲート用共通導体部)とを備えている。

**【0024】**

各評価用MISトランジスタTrA, TrB, TrCは、それぞれ実使用のM

ＩＳトランジスタと実質的に同じ構造を有している。図１（ｂ）は、１つの評価用ＭＩＳトランジスタＴｒＢの断面構造を示している。図１（ｂ）に示すように、Ｓｉ基板である半導体基板１０には、活性領域ＲａｃＢを囲むトレンチ素子分離（ＳＴＩ）１１が設けられており、活性領域ＲａｃＢには、各々不純物拡散領域であるソース領域１５及びドレイン領域１６（いずれも、エクステンション拡散領域（又はＬＤＤ領域）と高濃度拡散領域とを含んでいる）が設けられている。また、評価用ＭＩＳトランジスタＴｒＢは、活性領域ＲａｃＢの上に設けられたゲート絶縁膜１８と、ゲート絶縁膜１８上に設けられたゲート電極１７と、ゲート電極１７の側面上に設けられたサイドウォール１９とを備えている。さらに、半導体基板１０上には、ゲート電極１７やサイドウォール１９などを覆う層間絶縁膜２１と、層間絶縁膜２１を貫通してソース領域１５及びドレイン領域１６に到達するプラグ２２とが設けられている。そして、ソースパッド１２、ドレインパッド１３及びゲートパッド１４は、層間絶縁膜２１の上に設けられており、それぞれプラグ２２により、ソース領域１５、ドレイン領域１６及びゲート電極１７に電氣的に接続されている。

#### 【００２５】

本実施形態においては、評価用ＭＩＳトランジスタＴｒＡ～ＴｒＣのゲート長、ゲート幅、活性領域面積、ソース・ドレイン領域の不純物濃度は、実使用のロジック用ＭＩＳトランジスタと実質的に同じになるように設計されている。特に、ゲート幅は $1.2\mu\text{m}$ であり、ゲート長は $0.12\mu\text{m}$ であり、活性領域の面積は、ゲート幅方向寸法が $1.2\mu\text{m}$ でゲート長方向寸法が $0.86\mu\text{m}$ である。また、ソース・ドレイン領域の不純物濃度は、エクステンション拡散領域では $1\times 10^{17}\sim 1\times 10^{20}\cdot\text{cm}^{-3}$ で、高濃度拡散領域では $1\times 10^{20}\sim 3\times 10^{20}\cdot\text{cm}^{-3}$ である。実使用ＭＩＳトランジスタには、ｎチャネル型ＭＩＳトランジスタとｐチャネル型ＭＩＳトランジスタとがあるので、評価部には、３つのｎチャネル型ＭＩＳトランジスタを並列に配置したものと、３つのｐチャネル型ＭＩＳトランジスタを並列に配置したものとがある。

#### 【００２６】

このように、１つの評価部が、実使用ＭＩＳトランジスタと実質的に同じ構造

を有する複数の評価用MISトランジスタを配置して構成され、ソースパッド12, ドレインパッド13及びゲートパッド14が各評価用MISトランジスタTrA~TrCの各ソース領域15, ドレイン領域16及びゲート電極17に共通に電氣的に接続されている点が本実施形態の特徴である。

#### 【0027】

ここで、本実施形態及び後述する各実施形態において、評価用MISトランジスタの構造が実使用MISトランジスタの構造と実質的に同じとは、ゲート電極, ゲート絶縁膜, ソース・ドレイン領域などの構造が実質的に同じことを言う。ゲート電極の構造を規定するファクターとしては、ポリシリコン構造, ポリサイド構造, ポリメタル構造などの材質や、寸法（ゲート長, ゲート幅）や、ポリシリコン中の不純物の種類, 濃度などがある。ゲート絶縁膜の構造としては、厚み, 材質がある。ソース・ドレイン領域の構造としては、LDD領域やエクステンション領域の有無, 不純物濃度などがある。「実質的に同じ」とは、半導体装置の評価に際して、半導体装置の特性の相違が明確に検知し得るような相違がないことをいう。

#### 【0028】

—評価部を用いた評価方法—

図2(a), (b)は、それぞれ順に、評価部の回路図及び評価手順を示すフローチャートである。

#### 【0029】

図2(a)に示すように、実効ゲート幅が $3\mu\text{m}$ 以上となる複数（本実施形態では3つ）の評価用MISトランジスタTrA~TrCを有する評価部を設ける。そして、評価部には、3つの評価用MISトランジスタTrA~TrC各ソース領域に電氣的に接続されるソースパッド12, ドレインパッド13及びゲートパッド14を設ける。つまり、3つの評価用MISトランジスタを並列に配置する。そして、ソースパッド12, ドレインパッド13及びゲートパッド14に電圧印加用端子や電流測定端子などを接触させて、I-V特性などの電氣的特性を評価する。

#### 【0030】

半導体装置の特性の評価の際には、図 2 (b) に示すように、ステップ S T 1 0 で、並列配置された複数個の評価用 M I S トランジスタの特性を評価して、その結果をメモリ（図示せず）に保存する。次に、ステップ S T 1 1 で、メモリからステップ S T 1 0 における評価結果をメモリから取り出して、複数個の評価用 M I S トランジスタの特性値の平均値、分散  $\sigma$  を算出し、これを 1 つの M I S トランジスタの特性値として、メモリに保存する。そして、この M I S トランジスタの特性値の平均値、分散を、半導体装置の特性のシミュレーションや、半導体装置の設計や、半導体装置の製造工程の管理などに用いる。

#### 【0031】

本実施形態の評価部を用いて求められる半導体装置の特性としては、オフリーク特性、M I S トランジスタのしきい値電圧、オン電流等の特性のばらつきがある。

#### 【0032】

図 3 は、評価用 M I S トランジスタの実効ゲート幅（合計ゲート幅）に対する、M I S トランジスタのしきい値電圧  $V_t$  及びそのばらつき  $3\sigma$  を示す図である。同図において、横軸は並列に配置された 3 つの評価用 M I S トランジスタのゲート幅の合計値を表し、縦軸はしきい値電圧  $V_t$  の標準偏差の 3 倍である  $3\sigma$ （左側）及びしきい値電圧  $V_t$ （右側）を表している。また、同図において、▲はゲート幅が  $0.26\mu\text{m}$  の評価用 M I S トランジスタを 1, 3, 9 個配置した評価部から得られるしきい値電圧の  $3\sigma$ 、□はゲート幅が  $1.2\mu\text{m}$  の評価用 M I S トランジスタを 1, 3, 9 個配置した評価部から得られるしきい値電圧の  $3\sigma$ 、●はゲート幅が  $10.0\mu\text{m}$  の評価用 M I S トランジスタを 1, 3, 5 個配置した評価部から得られるしきい値電圧の  $3\sigma$  をそれぞれ示している。また、×はゲート幅が  $0.26\mu\text{m}$  の評価用 M I S トランジスタを 1, 3, 9 個配置した評価部から得られるしきい値電圧、\*はゲート幅が  $1.2\mu\text{m}$  の評価用 M I S トランジスタを 1, 3, 9 個配置した評価部から得られるしきい値電圧、+はゲート幅が  $10.0\mu\text{m}$  の評価用 M I S トランジスタを 1, 3, 5 個配置した評価部から得られるしきい値電圧のデータをそれぞれ示している。

#### 【0033】

図3の破線 $L_{3\sigma}$ は、各種サンプルの $3\sigma$ の平均的な値を示しており、この破線 $L_{3\sigma}$ から以下のことがわかる。合計ゲート幅が $3\mu\text{m}$ 以上の範囲では、 $3\sigma$ が一定の値を示しており、実使用MISトランジスタの平均的なばらつきを表している。つまり、半導体装置全体としてみると、局所的なMISトランジスタの特性のばらつきが相殺されて、図3に示す合計ゲート幅が $3\mu\text{m}$ 以上の領域における $3\sigma$ 値にほぼ一致することがわかった。

#### 【0034】

一方、合計ゲート幅が $3\mu\text{m}$ 未満になると、しきい値電圧のばらつきを表す $3\sigma$ の値が大きくなっている。特に、合計ゲート幅が $1.0\mu\text{m}$ 未満になると、 $3\sigma$ 値が合計ゲート幅が $3\mu\text{m}$ のときの $3\sigma$ 値の2倍近くになっている。したがって、従来の半導体装置のごとく、1つの評価用MISトランジスタのみを配置した評価部を用いて、1つの実使用MISトランジスタの特性のばらつきを求め、このときの特性値の $3\sigma$ （ばらつき）に基づいて、半導体装置の設計、製造工程の管理などを行なったのでは、実際の半導体装置の特性のばらつきよりも大きな特性のばらつきが存在すると誤って判断することになる。

#### 【0035】

それに対し、図2に示すような本実施形態の評価部を用いたMISトランジスタの特性の評価を行なうことにより、製品の半導体装置にほぼ等しい特性のばらつきに基づいた正確な特性のシミュレーション、設計、製造工程の管理などを行なうことができる。

#### 【0036】

（第2の実施形態）

図4（a）、（b）は、それぞれ順に、第2の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の1つの評価用MISトランジスタのIV-IV線における断面図である。

#### 【0037】

図4（a）、（b）に示すように、本実施形態においても、評価部は、トレンチ素子分離11によって囲まれる3つの活性領域RacA、RacB、RacCに、特性評価用素子である評価用MISトランジスタTrA、TrB、TrCを配置し



て構成されている。そして、3つの評価用MISトランジスタTrA～TrCに共通のゲート電極17が設けられている。そして、評価部は、3つの評価用MISトランジスタTrA～TrCの各ソース領域15に電氣的に接続されるソースパッド12と、3つの評価用MISトランジスタTrA～TrCの各ドレイン領域16に電氣的に接続されるドレインパッド13と、3つの評価用MISトランジスタTrA～TrCに共通のゲート電極17に電氣的に接続されるゲートパッド14とを備えている。

#### 【0038】

ここで、本実施形態においては、ソースパッド12、ドレインパッド13の先端部は、各活性領域RacA～RacCに向かって延びる3つの部分12a～12c及び13a～13cにそれぞれ分岐している点が、第1の実施形態とは異なっている。

#### 【0039】

なお、図4(b)に示す断面構造は、基本的には図1(b)に示す第1の実施形態における1つの評価用MISトランジスタTrBの構造と同じであるので、説明を省略する。

#### 【0040】

また、本実施形態においても、評価用MISトランジスタTrA～TrCの構造は、実使用MISトランジスタと実質的に同じに設計されている。

#### 【0041】

このように、1つの評価部が、実使用MISトランジスタと実質的に同じ構造を有する複数の評価用MISトランジスタを配置して構成され、ソースパッド12、ドレインパッド13及びゲートパッド14が各評価用MISトランジスタTrA～TrCの各ソース領域15、ドレイン領域16及びゲート電極17に共通に電氣的に接続されている点は、第1の実施形態と同じである。

#### 【0042】

また、本実施形態においても、図2に示すような本実施形態の評価部を用いたMISトランジスタの特性の評価を行なう。

#### 【0043】

よって、本実施形態により、第1の実施形態と同様に、製品の半導体装置にはほぼ等しい特性のばらつきに基づいた正確な特性のシミュレーション、設計、製造工程の管理などを行なうことができる。

#### 【0044】

特に、本実施形態においては、ソースパッド12、ドレインパッド13の先端部は、各活性領域RacA～RacCに向かって延びる3つの部分12a～12c及び13a～13cにそれぞれ分岐しているので、ソースパッド12とドレインパッド13とが近接して相対向する部分の面積が小さくなる。したがって、第1の実施形態に比べ、ソースパッド12とドレインパッド13との間の電氣的なショートが発生を効果的に抑制することができる。

#### 【0045】

(第3の実施形態)

図5(a)、(b)は、それぞれ順に、第3の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の1つの評価用MISトランジスタのV-V線における断面図である。

#### 【0046】

図5(a)、(b)に示すように、本実施形態においても、評価部は、トレンチ素子分離11によって囲まれる3つの活性領域RacA、RacB、RacCに、特性評価用素子である評価用MISトランジスタTrA、TrB、TrCを配置して構成されている。そして、3つの評価用MISトランジスタTrA～TrCに共通のゲート電極17が設けられている。そして、評価部は、3つの評価用MISトランジスタTrA～TrCの各ソース領域15に電氣的に接続されるソースパッド12と、3つの評価用MISトランジスタTrA～TrCの各ドレイン領域16に電氣的に接続されるドレインパッド13と、3つの評価用MISトランジスタTrA～TrCに共通のゲート電極17に電氣的に接続されるゲートパッド14とを備えている。

#### 【0047】

ここで、本実施形態においては、評価用MISトランジスタTrA～TrCが配置される各活性領域RacA～RacCを挟んで、MISトランジスタが配置され

ない 2 つのダミー活性領域 R acD1, R acD2 が設けられている。また、ゲート電極 1 7 を挟んで、ゲート電極 1 7 に実質的に平行に並ぶ 2 つのダミーゲート 1 7 D1, 1 7 D2 が設けられている。この 2 つの点が、第 1 の実施形態とは異なっている。

#### 【 0 0 4 8 】

なお、図 5 ( b ) に示す断面構造は、2 つのダミーゲート 1 7 D1, 1 7 D2 がゲート電極 1 7 を挟んで設けられている点を除くと、図 1 ( b ) に示す第 1 の実施形態における 1 つの評価用 M I S トランジスタ T r B の構造と同じであるので、第 1 の実施形態と同じ部分についての説明を省略する。

#### 【 0 0 4 9 】

また、本実施形態においても、評価用 M I S トランジスタ T r A ~ T r C の構造は、実使用のロジック用 M I S トランジスタと実質的に同じになるように設計されている。

#### 【 0 0 5 0 】

1 つの評価部が、実使用 M I S トランジスタと実質的に同じ構造を有する複数の評価用 M I S トランジスタを配置して構成され、ソースパッド 1 2, ドレインパッド 1 3 及びゲートパッド 1 4 が各評価用 M I S トランジスタ T r A ~ T r C の各ソース領域 1 5, ドレイン領域 1 6 及びゲート電極 1 7 に共通に電氣的に接続されている点は、第 1 の実施形態と同じである。

#### 【 0 0 5 1 】

また、本実施形態においても、図 2 に示すような本実施形態の評価部を用いた M I S トランジスタの特性の評価を行なう。

#### 【 0 0 5 2 】

よって、本実施形態により、第 1 の実施形態と同様に、製品の半導体装置にはほぼ等しい特性のばらつきに基づいた正確な特性のシミュレーション, 設計, 製造工程の管理などを行なうことができる。

#### 【 0 0 5 3 】

特に、本実施形態においては、評価用 M I S トランジスタ T r A ~ T r C が設けられている各活性領域 R acA ~ R acC を挟んで、2 つのダミー活性領域 R acD1

、RacD2が設けられているので、各活性領域RacA～RacCを囲むトレンチ型素子分離から各活性領域RacA～RacCが受ける応力がほぼ均一化される。したがって、各評価用MISトランジスタTrA～TrCの特性のばらつきが低減され、実使用MISトランジスタの特性をより正確に推定することができる。

#### 【0054】

また、本実施形態においては、評価用MISトランジスタTrA～TrCに共通のゲート電極17を挟んで、2つのダミーゲート17D1、17D2が設けられているので、3つのゲート17、17D1、17D2がいわゆるラインアンドスペースパターンを構成している。したがって、ゲート電極17の寸法精度が向上し、これによっても、各評価用MISトランジスタTrA～TrCの特性のばらつきが低減されるので、各評価用MISトランジスタの特性をより正確に推定することができる。

#### 【0055】

(第4の実施形態)

図6(a)、(b)は、それぞれ順に、第4の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の1つの評価用MISトランジスタのVI-VI線における断面図である。

#### 【0056】

図6(a)、(b)に示すように、本実施形態においても、評価部は、トレンチ素子分離11によって囲まれる3つの活性領域RacA、RacB、RacCに、特性評価用素子である評価用MISトランジスタTrA、TrB、TrCを配置して構成されている。そして、3つの評価用MISトランジスタTrA～TrCに共通のゲート電極17が設けられている。そして、評価部は、3つの評価用MISトランジスタTrA～TrCの各ソース領域15に電氣的に接続されるソースパッド12と、3つの評価用MISトランジスタTrA～TrCの各ドレイン領域16に電氣的に接続されるドレインパッド13とを備えている。

#### 【0057】

ここで、本実施形態においては、各活性領域RacA～RacCのゲート長方向の寸法が、実使用MISトランジスタが配置される活性領域のゲート長方向の寸法

よりも大きい点が、第1の実施形態とは異なっている。たとえば、実使用のMISトランジスタの活性領域のゲート長方向の寸法が、 $0.86\mu\text{m}$ であるのに対し、評価用MISトランジスタTrA～TrCが配置される各活性領域RacA～RacCのゲート長方向の寸法は、 $10\mu\text{m}$  ( $2\mu\text{m}$ 以上)である。ただし、各活性領域RacA～RacCのゲート幅方向の寸法は、各評価用MISトランジスタTrA～TrCのゲート幅の寸法と同じであるので、実使用のMISトランジスタが配置される活性領域のゲート幅方向の寸法と実質的に同じである。

#### 【0058】

なお、図6(b)に示す断面構造は、活性領域RacBのゲート長方向の寸法が大きい点を除くと、図1(b)に示す第1の実施形態における1つの評価用MISトランジスタTrBの構造と同じであるので、第1の実施形態と同じ部分についての説明を省略する。

#### 【0059】

本実施形態においても、評価用MISトランジスタTrA～TrCの構造は、実使用MISトランジスタと実質的に同じに設計されている。

#### 【0060】

このように、1つの評価部が、ソース・ドレイン領域のゲート長方向寸法を除き、実使用MISトランジスタと実質的に同じ構造を有する複数の評価用MISトランジスタを配置して構成され、ソースパッド12、ドレインパッド13及びゲートパッド14が各評価用MISトランジスタTrA～TrCの各ソース領域15、ドレイン領域16及びゲート電極17に共通に電氣的に接続されている点は、第1の実施形態と同じである。

#### 【0061】

また、本実施形態においても、図2に示すような本実施形態の評価部を用いたMISトランジスタの特性の評価を行なう。

#### 【0062】

よって、本実施形態により、第1の実施形態と同様に、製品の半導体装置にはば等しい特性のばらつきに基づいた正確な特性のシミュレーション、設計、製造工程の管理などを行なうことができる。

## 【0063】

特に、本実施形態においては、評価用MISトランジスタTrA～TrCが設けられている各活性領域RacA～RacCのゲート長方向寸法が実使用MISトランジスタが配置されている活性領域のゲート長方向寸法よりも大きく構成されているので、各活性領域RacA～RacCを囲むトレンチ型素子分離から各活性領域RacA～RacCが受ける応力が小さくなる。したがって、各評価用MISトランジスタTrA～TrCの特性のばらつきが低減され、実使用MISトランジスタの特性をより正確に推定することができる。また、マスクアラインメントずれに起因するコンタクト部材とソース・ドレイン領域との間のコンタクト抵抗の増大を回避することができるので、推定精度の向上を図ることができる。

## 【0064】

(第5の実施形態)

図7(a), (b)は、それぞれ順に、第5の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の1つの評価用MISトランジスタのVII-VI I線における断面図である。

## 【0065】

図7(a), (b)に示すように、本実施形態においても、評価部は、トレンチ素子分離11によって囲まれる3つの活性領域RacA, RacB, RacCに、特性評価用素子である評価用MISトランジスタTrA, TrB, TrCを配置して構成されている。そして、3つの評価用MISトランジスタTrA～TrCに共通のゲート電極17が設けられている。そして、評価部は、3つの評価用MISトランジスタTrA～TrCの各ソース領域15に電氣的に接続されるソースパッド12と、3つの評価用MISトランジスタTrA～TrCの各ドレイン領域16に電氣的に接続されるドレインパッド13と、3つの評価用MISトランジスタTrA～TrCに共通のゲート電極17に電氣的に接続されるゲートパッド14とを備えている。

## 【0066】

ここで、本実施形態においては、第1～第3の実施形態の特徴を全て備えている点が特徴である。

## 【 0 0 6 7 】

まず、ソースパッド 1 2, ドレインパッド 1 3 の先端部は、各活性領域 R a c A ~ R a c C に向かって延びる 3 つの部分 1 2 a ~ 1 2 c 及び 1 3 a ~ 1 3 c にそれぞれ分岐している。また、評価用 M I S トランジスタ T r A ~ T r C が配置される各活性領域 R a c A ~ R a c C を挟んで、M I S トランジスタが配置されない 2 つのダミー活性領域 R a c D1, R a c D2 が設けられている。また、ゲート電極 1 7 を挟んで、ゲート電極 1 7 に実質的に平行に並ぶ 2 つのダミーゲート 1 7 D1, 1 7 D2 が設けられている。さらに、各活性領域 R a c A ~ R a c C のゲート長方向の寸法が、実使用 M I S トランジスタが配置される活性領域のゲート長方向の寸法よりも大きい。たとえば、実使用の M I S トランジスタの活性領域のゲート長方向の寸法が、 $0.86\ \mu\text{m}$  であるのに対し、評価用 M I S トランジスタ T r A ~ T r C が配置される各活性領域 R a c A ~ R a c C のゲート長方向の寸法は、 $10\ \mu\text{m}$  ( $2\ \mu\text{m}$  以上) である。ただし、各活性領域 R a c A ~ R a c C のゲート幅方向の寸法は、各評価用 M I S トランジスタ T r A ~ T r C のゲート幅の寸法と同じであるので、実使用の M I S トランジスタが配置される活性領域のゲート幅方向の寸法と実質的に同じである。

## 【 0 0 6 8 】

なお、図 7 (b) に示す断面構造は、活性領域 R a c B のゲート長方向の寸法が大きい点を除くと、図 1 (b) に示す第 1 の実施形態における 1 つの評価用 M I S トランジスタ T r B の構造と同じであるので、第 1 の実施形態と同じ部分についての説明を省略する。

## 【 0 0 6 9 】

また、本実施形態においても、評価用 M I S トランジスタ T r A ~ T r C の構造は、実使用 M I S トランジスタと実質的に同じに設計されている。

## 【 0 0 7 0 】

このように、1 つの評価部が、ソース・ドレイン領域のゲート長方向寸法を除き、実使用 M I S トランジスタと実質的に同じ構造を有する複数の評価用 M I S トランジスタを配置して構成され、ソースパッド 1 2, ドレインパッド 1 3 及びゲートパッド 1 4 が各評価用 M I S トランジスタ T r A ~ T r C の各ソース領域

15, ドレイン領域16及びゲート電極17に共通に電氣的に接続されている点は、第1の実施形態と同じである。

#### 【0071】

また、本実施形態においても、図2に示すような本実施形態の評価部を用いたMISトランジスタの特性の評価を行なう。

#### 【0072】

よって、本実施形態により、第1の実施形態と同様に、製品の半導体装置にはほぼ等しい特性のばらつきに基づいた正確な特性のシミュレーション、設計、製造工程の管理などを行なうことができる。

#### 【0073】

また、本実施形態においては、第2の実施形態と同様に、ソースパッド12、ドレインパッド13の先端部は、各活性領域 $R_{acA} \sim R_{acC}$ に向かって延びる3つの部分12a～12c及び13a～13cにそれぞれ分岐しているので、ソースパッド12とドレインパッド13とが近接して相対向する部分の面積が小さくなる。したがって、第1の実施形態に比べ、ソースパッド12とドレインパッド13との間の電氣的なショートが発生を効果的に抑制することができる。

#### 【0074】

また、本実施形態においては、第3の実施形態と同様に、評価用MISトランジスタ $TrA \sim TrC$ が設けられている各活性領域 $R_{acA} \sim R_{acC}$ のゲート長方向寸法が実使用MISトランジスタが配置されている活性領域のゲート長方向寸法よりも大きく構成されているので、各活性領域 $R_{acA} \sim R_{acC}$ を囲むトレンチ型素子分離から各活性領域 $R_{acA} \sim R_{acC}$ が受ける応力が小さくなる。したがって、各評価用MISトランジスタ $TrA \sim TrC$ の特性のばらつきが低減され、実使用MISトランジスタの特性をより正確に推定することができる。また、マスクアラインメントずれに起因するコンタクト部材とソース・ドレイン領域との間のコンタクト抵抗の増大を回避することができるので、推定精度の向上を図ることができる。

#### 【0075】

さらに、本実施形態においては、第4の実施形態と同様に、評価用MISトラ



ンジスタ  $TrA \sim TrC$  が設けられている各活性領域  $RacA \sim RacC$  のゲート長方向寸法が実使用  $MIS$  トランジスタが配置されている活性領域のゲート長方向寸法よりも大きく構成されているので、各活性領域  $RacA \sim RacC$  を囲むトレンチ型素子分離から各活性領域  $RacA \sim RacC$  が受ける応力が小さくなる。したがって、各評価用  $MIS$  トランジスタ  $TrA \sim TrC$  の特性のばらつきが低減され、実使用  $MIS$  トランジスタの特性をより正確に推定することができる。また、マスクアラインメントずれに起因するコンタクト部材とソース・ドレイン領域との間のコンタクト抵抗の増大を回避することができるので、推定精度の向上を図ることができる。

#### 【0076】

(第1～第5の実施形態の特記事項)

第1～第5の実施形態において、実使用の  $MIS$  トランジスタが複数種類ある場合には、評価用  $MIS$  トランジスタは、全ての種類について、実使用  $MIS$  トランジスタを複数個配置した評価部を設けるのが原則である。たとえば、チャネル導電型には  $p$  チャネル型  $MIS$  トランジスタ、 $n$  チャネル型  $MIS$  トランジスタの2種類がある。高しきい値  $MIS$  トランジスタと低しきい値  $MIS$  トランジスタとでは、ゲート絶縁膜の厚みが相異なる。メモリセルトランジスタ、メモリの周辺回路用トランジスタなどでは、ゲート長、ゲート幅、ソース・ドレイン領域の構造や不純物濃度などが異なっている。したがって、これらの全ての種類について、実使用  $MIS$  トランジスタと同じ構造を有する評価用  $MIS$  トランジスタを複数個配置した評価部を設けている。

#### 【0077】

ただし、たとえば、 $n$  チャネル型  $MIS$  トランジスタの特性の平均的なばらつきから  $p$  チャネル型トランジスタの特性の平均的なばらつきが予測できる場合など、1つの種類の  $MIS$  トランジスタのデータに基づいて他の種類の  $MIS$  トランジスタの特性のばらつきがほぼわかる場合には、予測可能な種類に係る評価部は必ずしも設ける必要はない。

#### 【0078】

なお、第4の実施形態(図6参照)、第5の実施形態(図7参照)においては

、評価用M I Sトランジスタの活性領域のゲート長方向寸法が、実使用M I Sトランジスタの活性領域のゲート長方向寸法よりも大きい、これによってM I Sトランジスタの特性が検知しうる程度には変わらないので、この場合にも、評価用M I Sトランジスタと実使用M I Sトランジスタとは実質的には同じ構造を有しているといえる。

#### 【0 0 7 9】

また、第1～第5の実施形態において、後述するように、共通のゲートパッドに電氣的に接続される複数の評価用M I Sトランジスタのゲート幅が所定値以上であればよい。

#### 【0 0 8 0】

また、第1～第5の実施形態において、複数のM I Sトランジスタに共通のゲート電極が必ずしも必要ではなく、各M I Sトランジスタ毎に独立に設けられた複数のゲート電極にそれぞれ電氣的に接続される1つのゲートパッドが設けられていてもよい。

#### 【0 0 8 1】

特に、第1，第4の実施形態においては、各活性領域RacA～RacCが互いに隣接して評価部としてまとめられている必要はない。互いに離れた活性領域に配置された評価用M I Sトランジスタの各ゲート電極，ソース領域，ドレイン領域がそれぞれ共通のパッドに電氣的に接続されていれば、第1，第4の実施形態と同じ効果を発揮することができる。

#### 【0 0 8 2】

さらに、第1～第5の実施形態において、ソースパッド12，ドレインパッド13及びゲートパッド14は、半導体基板10の直上の層間絶縁膜21の上に設けられているとしている。しかし、一般的な半導体装置においては、多数の層間絶縁膜と多数の配線層とを順に積層してなる多層配線構造を有しているので、パッドは最上層に設けられている。各実施形態では、理解を容易にするために層間絶縁膜やプラグを1層分しか設けていないだけである。

#### 【0 0 8 3】

(第6の実施形態)

図8 (a), (b) は、それぞれ順に、第6の実施形態に係る半導体装置の平面図、及び特性評価の手順を示すフローチャートである。図8 (a) に示すように、ウェハの複数のブロック RblA～RblE に、単体の評価用MISトランジスタを有する評価部（図11に示す従来の評価部と同じ構造を有している）を複数個設ける。このブロック Rbl は、ウェハから製品として切り出されるチップが複数個含まれるように設定される。

#### 【0084】

そして、半導体装置の特性を評価する際には、図8 (b) に示すように、ステップST20で、単体の評価用MISトランジスタの特性を各ブロック Rbl ごとに複数個評価して、その評価結果をメモリ（図示せず）に保存する。そして、ステップST21で、メモリに保存された各MISトランジスタの特性値を用いて、各ブロック Rbl ごとに複数の評価用MISトランジスタの平均的な特性値を算出し、この算出結果をメモリ（図示せず）に保存する。つまり、単体の評価用MISトランジスタを配置した評価部を用いて、各ブロック Rbl ごとに複数個の評価用MISトランジスタの特性値の平均値を算出して、これを1つのMISトランジスタの特性値として、メモリに保存するのである。

#### 【0085】

そして、ステップST22で、メモリから各ブロック Rbl のMISトランジスタの平均的な特性値を取り出して、ウェハ内のMISトランジスタの特性値の平均値、分散を算出する。そして、MISトランジスタの特性値の平均値、分散を、半導体装置の特性のシミュレーションや、半導体装置の設計や、半導体装置の製造工程の管理などに用いる。

#### 【0086】

本実施形態の評価部を用いて求められる半導体装置の特性としては、オフリーク特性、MISトランジスタのしきい値電圧、オン電流等の特性のばらつきがある。

#### 【0087】

本実施形態の半導体装置の特性の評価方法によっても、第1の実施形態と同様に、局所的なMISトランジスタの特性のばらつきが相殺されるので、製品の半

導体装置にはほぼ等しい特性のばらつきに基づいた正確な特性のシミュレーション，設計，製造工程の管理などを行なうことができる。

#### 【 0 0 8 8 】

第 7 の実施形態においては、評価を行なうタイミングは、ウェハを個別のチップに分割する前であってもよいし、ウェハを個別のチップに切り出した後であってもよい。ウェハを個別のチップに切り出した後でも、評価用 M I S トランジスタが配置されていたブロックが特定できれば、上述の効果を発揮することができるからである。

#### 【 0 0 8 9 】

(第 7 の実施形態)

図 9 は、第 7 の実施形態に係る半導体装置の平面図である。図 9 に示すように、ウェハを複数のチップ（製品）に分割するためのスクライブライン（スクライプ領域）に、単体の評価用 M I S トランジスタを配置した評価部（図 1 1 に示す従来の評価部と同じ構造を有している）を複数個ずつ設ける。この評価部は、ウェハ全体にほぼ均一に分布するように設けられている。

#### 【 0 0 9 0 】

そして、半導体装置の特性を評価する際には、図 8（b）に示す手順と同様の手順を行なう。すなわち、ウェハをいくつかの領域（たとえば図 8（a）に示すような 5 カ所）にグループ分けしておいて、単体の評価用 M I S トランジスタの特性を各領域ごとに複数個評価して、その評価結果をメモリ（図示せず）に保存する。そして、メモリに保存された各 M I S トランジスタの特性値を用いて、各領域ごとに複数の評価用 M I S トランジスタの平均的な特性値を算出し、この算出結果をメモリ（図示せず）に保存する。つまり、単体の評価用 M I S トランジスタを配置した評価部を用いて、グループ分けされた各領域ごとに複数個の評価用 M I S トランジスタの特性値の平均値を算出して、これを 1 つの M I S トランジスタの特性値として、メモリに保存するのである。

#### 【 0 0 9 1 】

そして、メモリから各領域における M I S トランジスタの平均的な特性値を取り出して、ウェハ内の M I S トランジスタの特性値の平均値，分散を算出する。

そして、MISトランジスタの特性値の平均値、分散を、半導体装置の特性のシミュレーションや、半導体装置の設計や、半導体装置の製造工程の管理などに用いる。

#### 【0092】

本実施形態の評価部を用いて求められる半導体装置の特性としては、オフリーク特性、MISトランジスタのしきい値電圧、オン電流等の特性のばらつきがある。

#### 【0093】

本実施形態によっても、第1の実施形態と同様に、局所的なMISトランジスタの特性のばらつきが相殺されるので、製品の半導体装置にはほぼ等しい特性のばらつきに基づいた正確な特性のシミュレーション、設計、製造工程の管理などを行なうことができる。

#### 【0094】

図10は、第6、第7の実施形態の効果を示すグラフである。同図において、横軸はグループ（ブロック、領域）内の評価用MISトランジスタの個数を表し、縦軸は評価用MISトランジスタのしきい値（しきい値電圧）の標準偏差を表している。この標準偏差は、各グループごとに算出された評価用MISトランジスタの平均値を用いて、ウェハ全体のMISトランジスタのしきい値の平均値を算出することで求められたものである。同図に示すように、グループ内の評価用MISトランジスタの個数を増やすに従って、しきい値の標準偏差が減少していくことがわかる。つまり、単体の評価用MISトランジスタを配置した評価部を用いて、ウェハ全体の評価用MISトランジスタの特性の平均値、分散（標準偏差）をそのまま算出すると、製品となる半導体装置中の実使用MISトランジスタの特性値のばらつきより大きく見積もってしまうことがわかる。従って、第6、第7の実施形態により、半導体装置の特性評価の信頼性が向上することができることがわかる。

#### 【図面の簡単な説明】

#### 【図1】

(a)、(b)は、それぞれ順に、第1の実施形態に係る半導体装置中の評価

部を示す平面図、及び評価部中の 1 つの評価用 M I S トランジスタの I-I 線における断面図である。

【図 2】

(a), (b) は、それぞれ順に、評価部の回路図及び評価手順を示すフローチャートである。

【図 3】

評価用 M I S トランジスタの実効ゲート幅（合計ゲート幅）に対する、M I S トランジスタのしきい値電圧  $V_t$  及びそのばらつき  $3\sigma$  を示す図である。

【図 4】

(a), (b) は、それぞれ順に、第 2 の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の 1 つの評価用 M I S トランジスタの IV-IV 線における断面図である。

【図 5】

(a), (b) は、それぞれ順に、第 3 の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の 1 つの評価用 M I S トランジスタの V-V 線における断面図である。

【図 6】

(a), (b) は、それぞれ順に、第 4 の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の 1 つの評価用 M I S トランジスタの VI-VI 線における断面図である。

【図 7】

(a), (b) は、それぞれ順に、第 5 の実施形態に係る半導体装置中の評価部を示す平面図、及び評価部中の 1 つの評価用 M I S トランジスタの VII-VII 線における断面図である。

【図 8】

(a), (b) は、それぞれ順に、第 6 の実施形態に係る半導体装置の平面図、及び特性評価の手順を示すフローチャートである。

【図 9】

第 7 の実施形態に係る半導体装置の平面図である。

## 【図 1 0】

第 6，第 7 の実施形態の効果を示すグラフである。

## 【図 1 1】

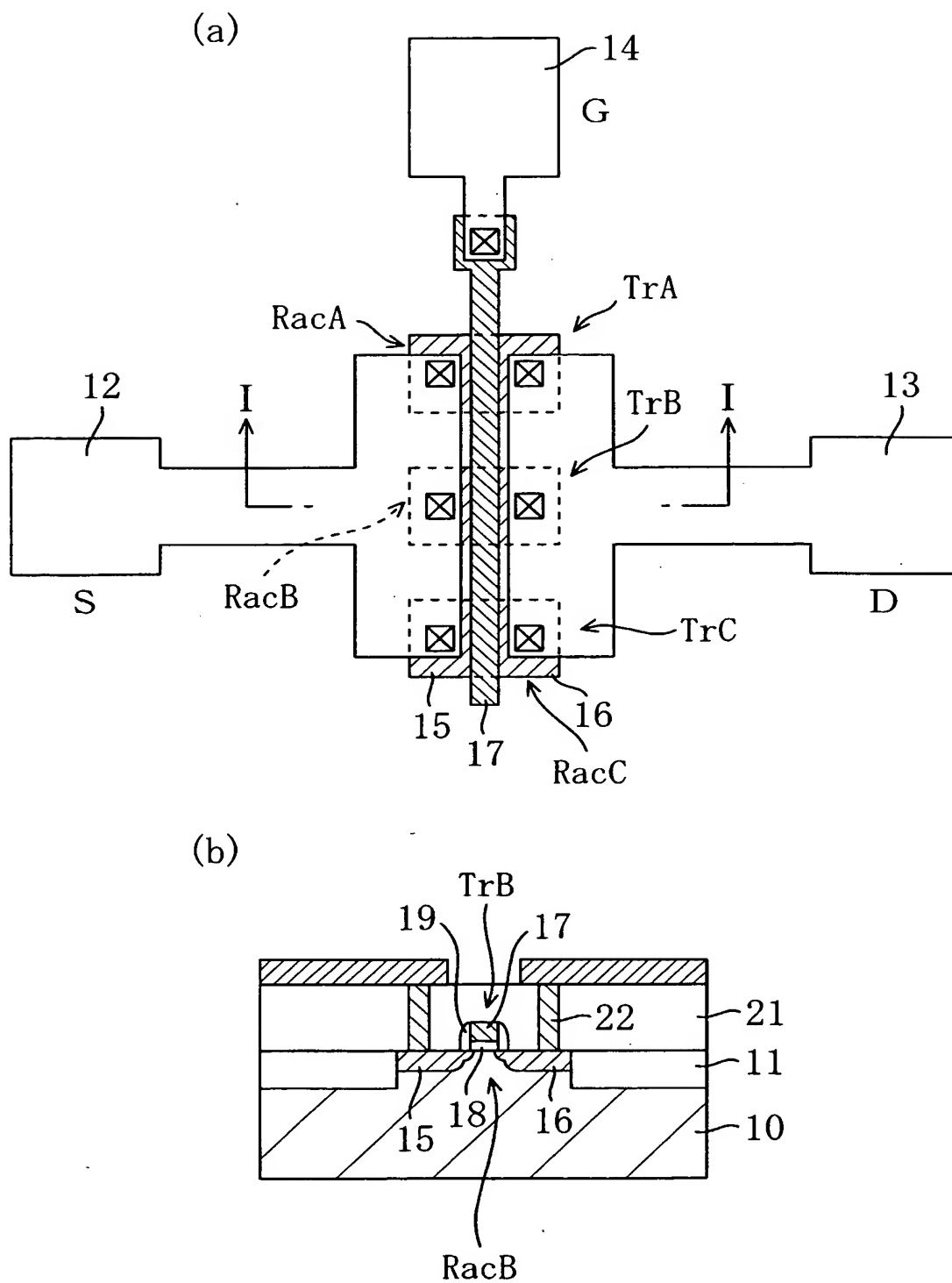
(a)，(b)，(c) は、それぞれ順に、従来の特性評価用素子の評価部の回路図、平面図及び XI-XI 線における断面図である。

## 【符号の説明】

- 1 0 半導体基板
- 1 1 トレンチ素子分離
- 1 2 ソースパッド
- 1 3 ドレインパッド
- 1 4 ゲートパッド
- 1 5 ソース領域
- 1 6 ドレイン領域
- 1 7 ゲート電極
- 1 8 ゲート絶縁膜
- 1 9 サイドウォール
- 2 1 層間絶縁膜
- 2 2 プラグ
- Rac 活性領域
- T r 評価用 M I S トランジスタ

【書類名】 図面

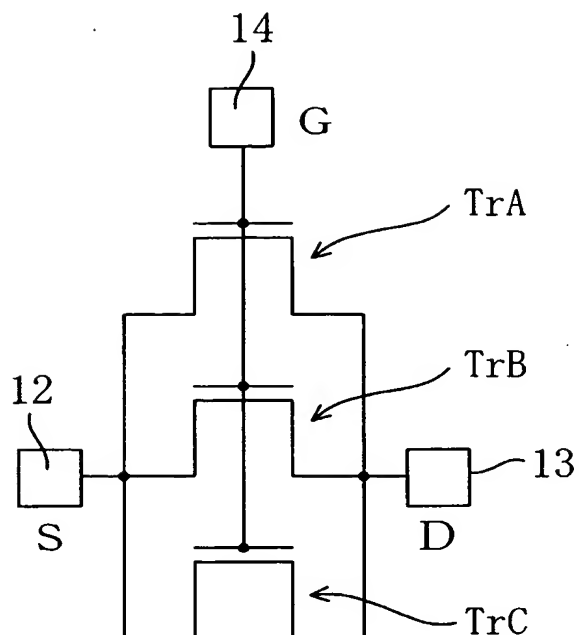
【図 1】



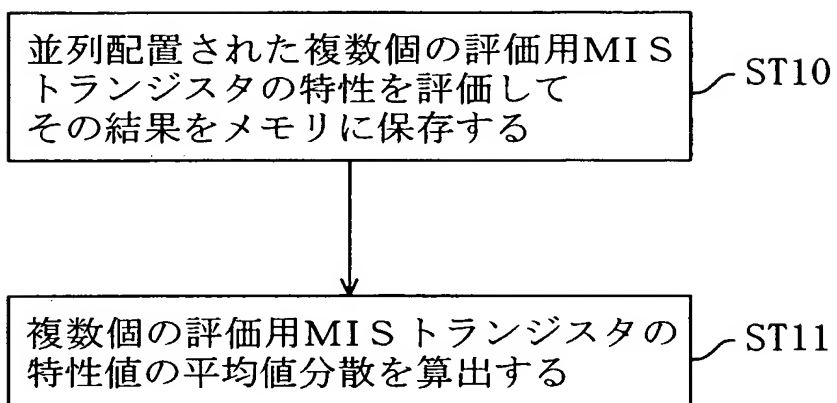


【図 2】

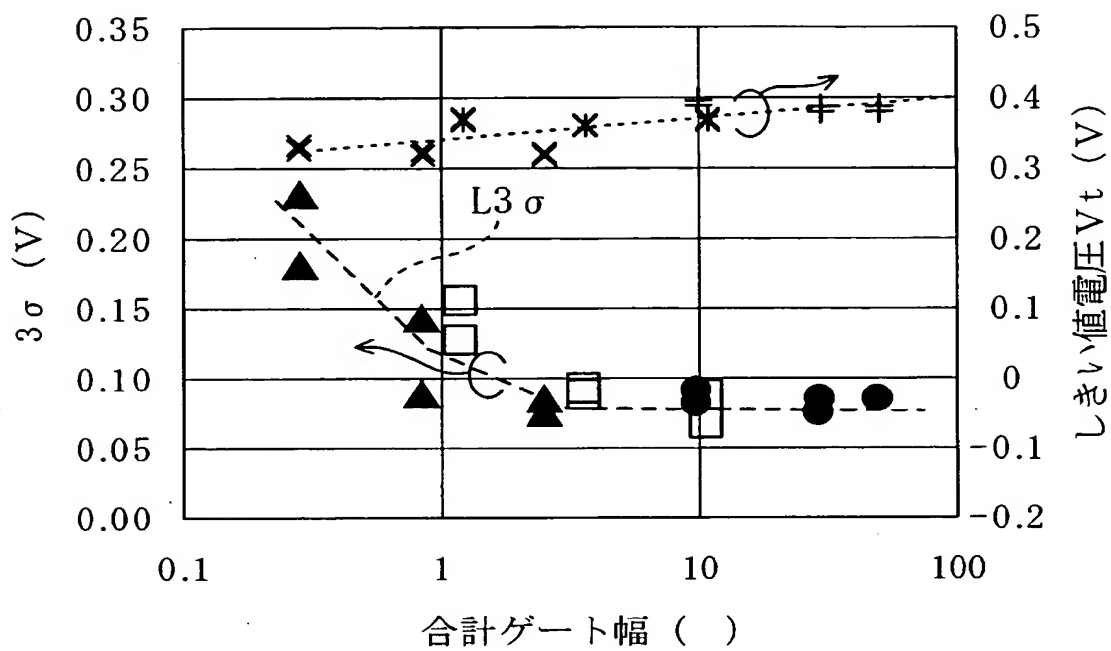
(a)



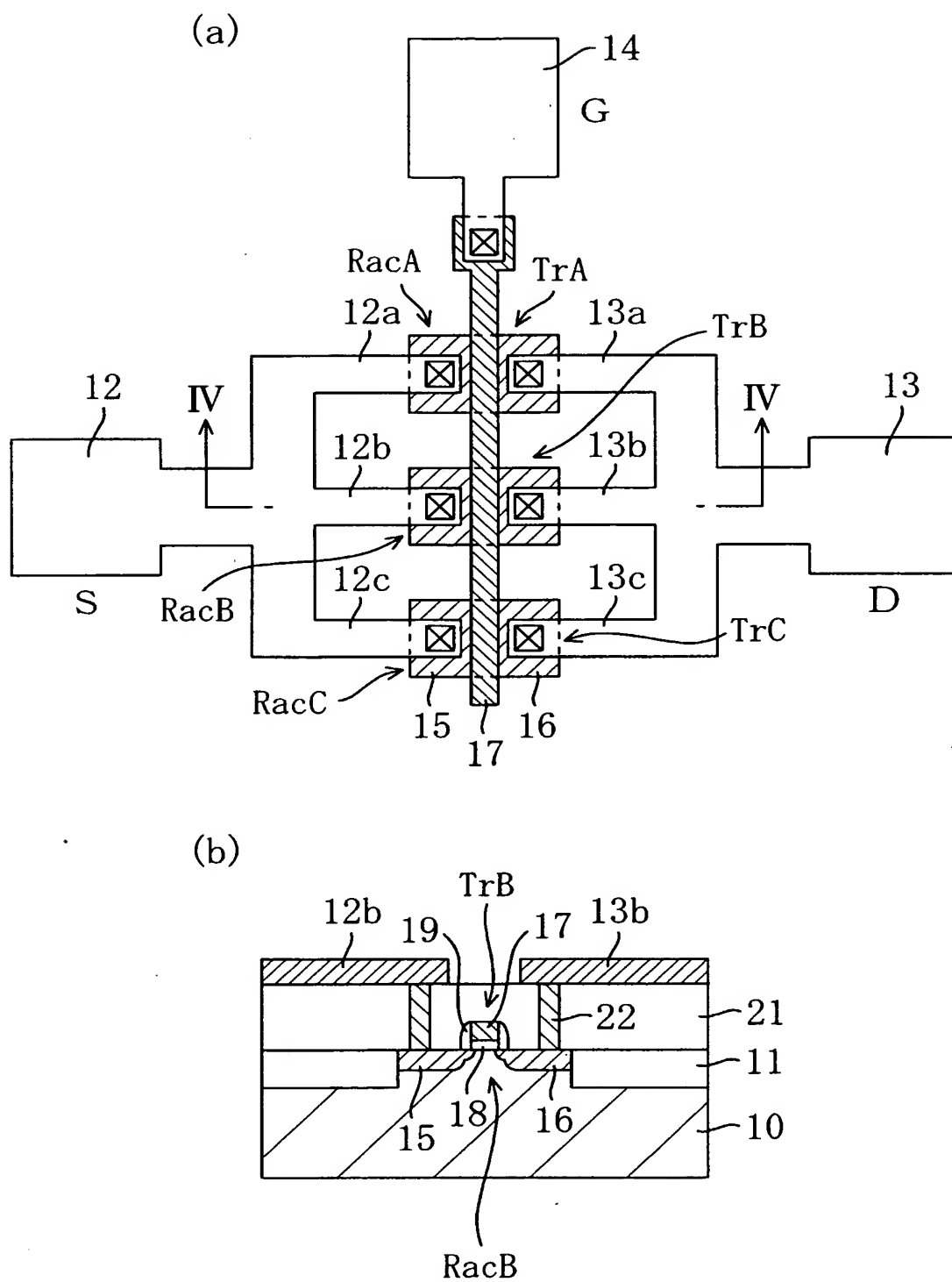
(b)



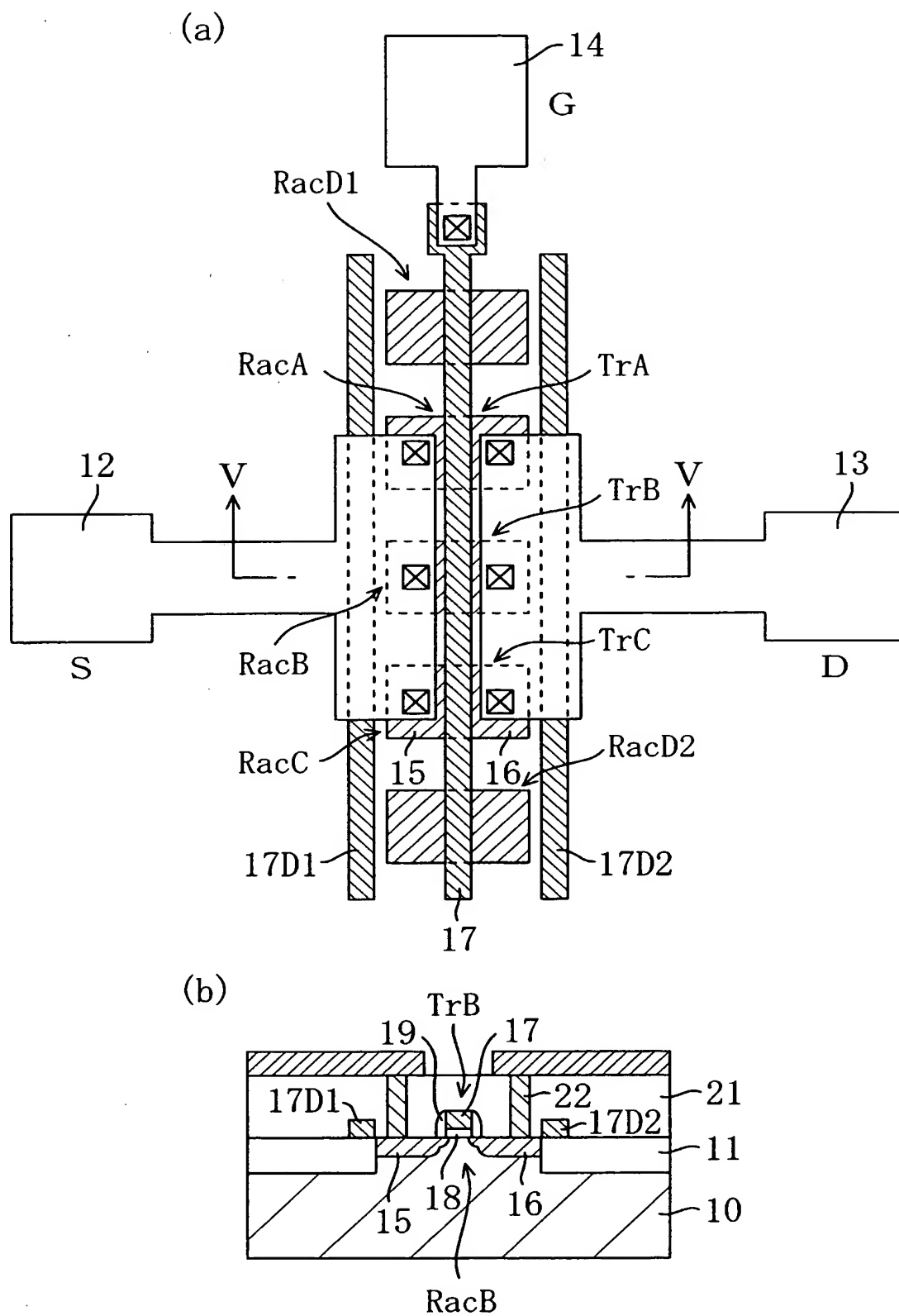
【図 3】



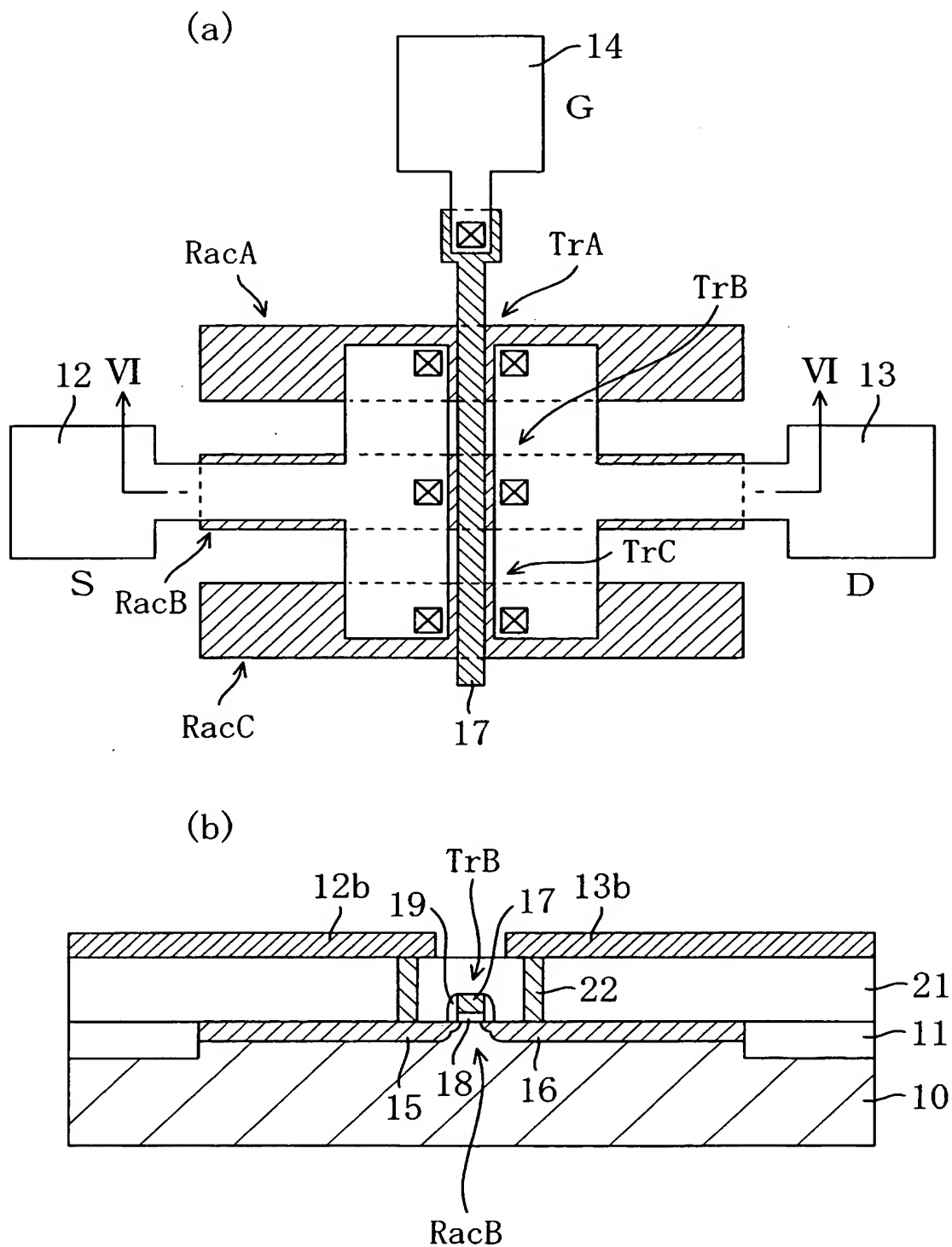
【図 4】



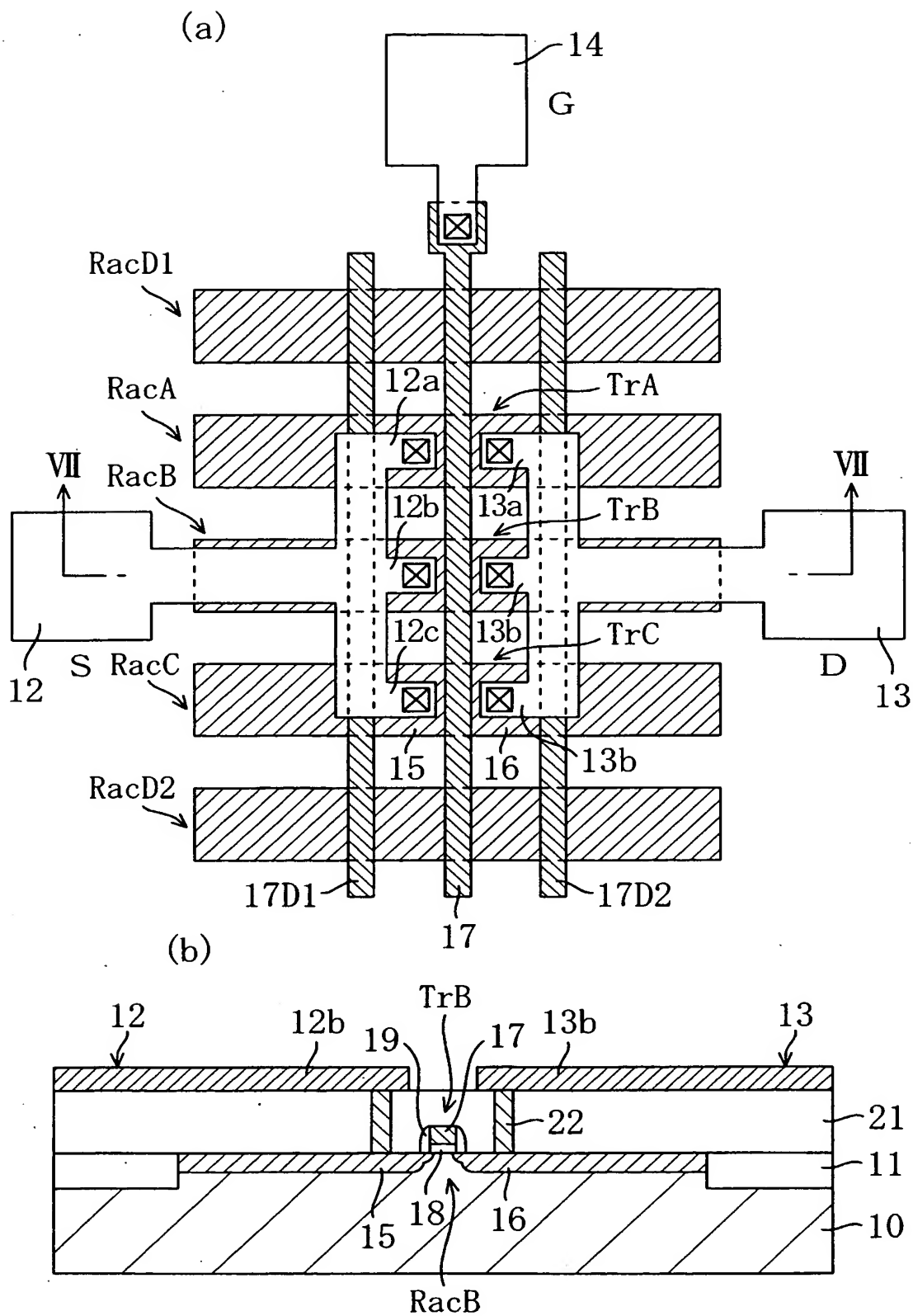
【図 5】



【図 6】

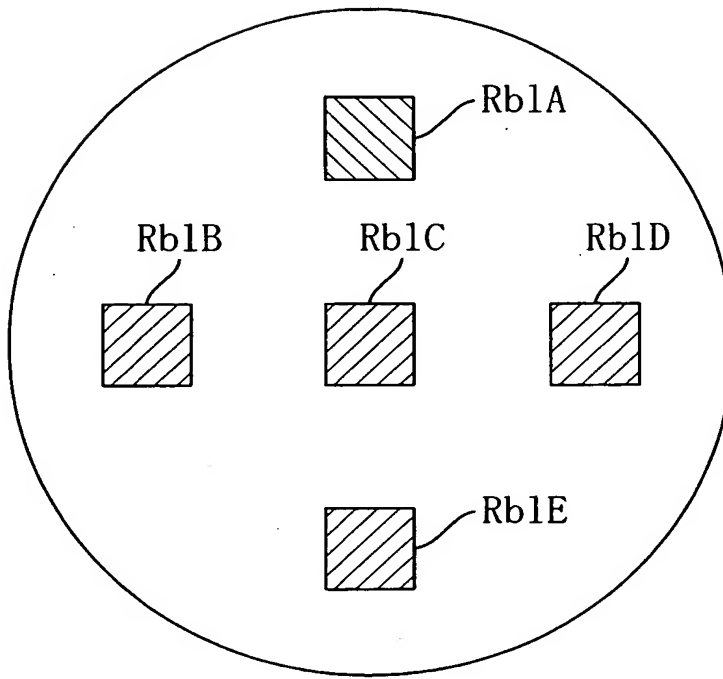


【図 7】

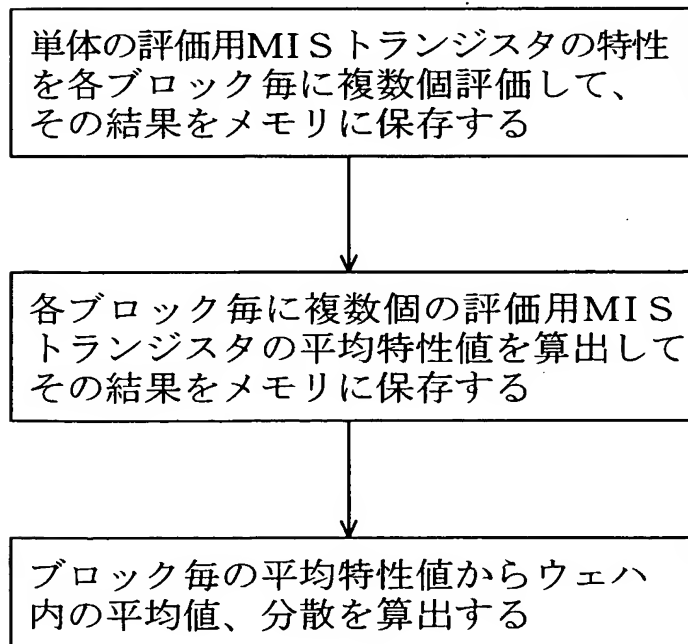


【図 8】

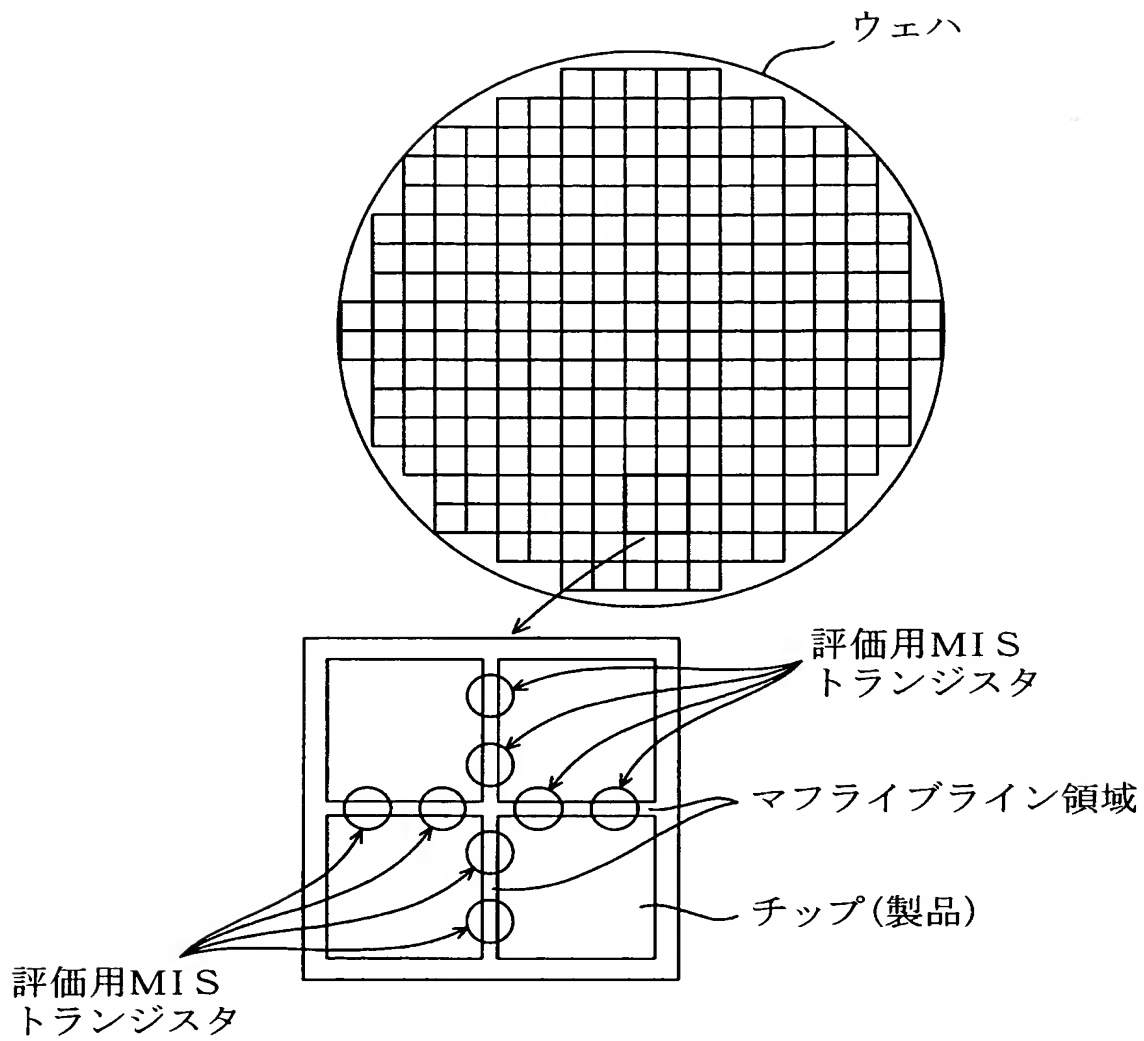
(a)



(b)

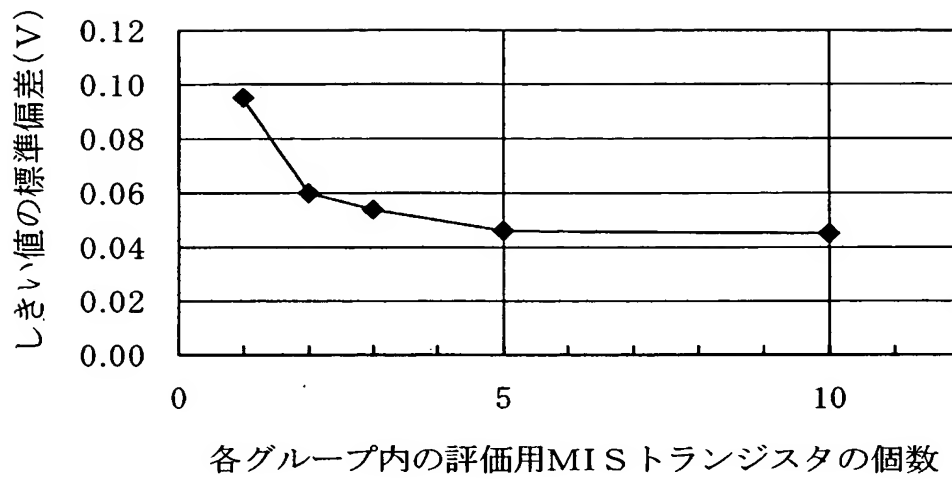


【図 9】

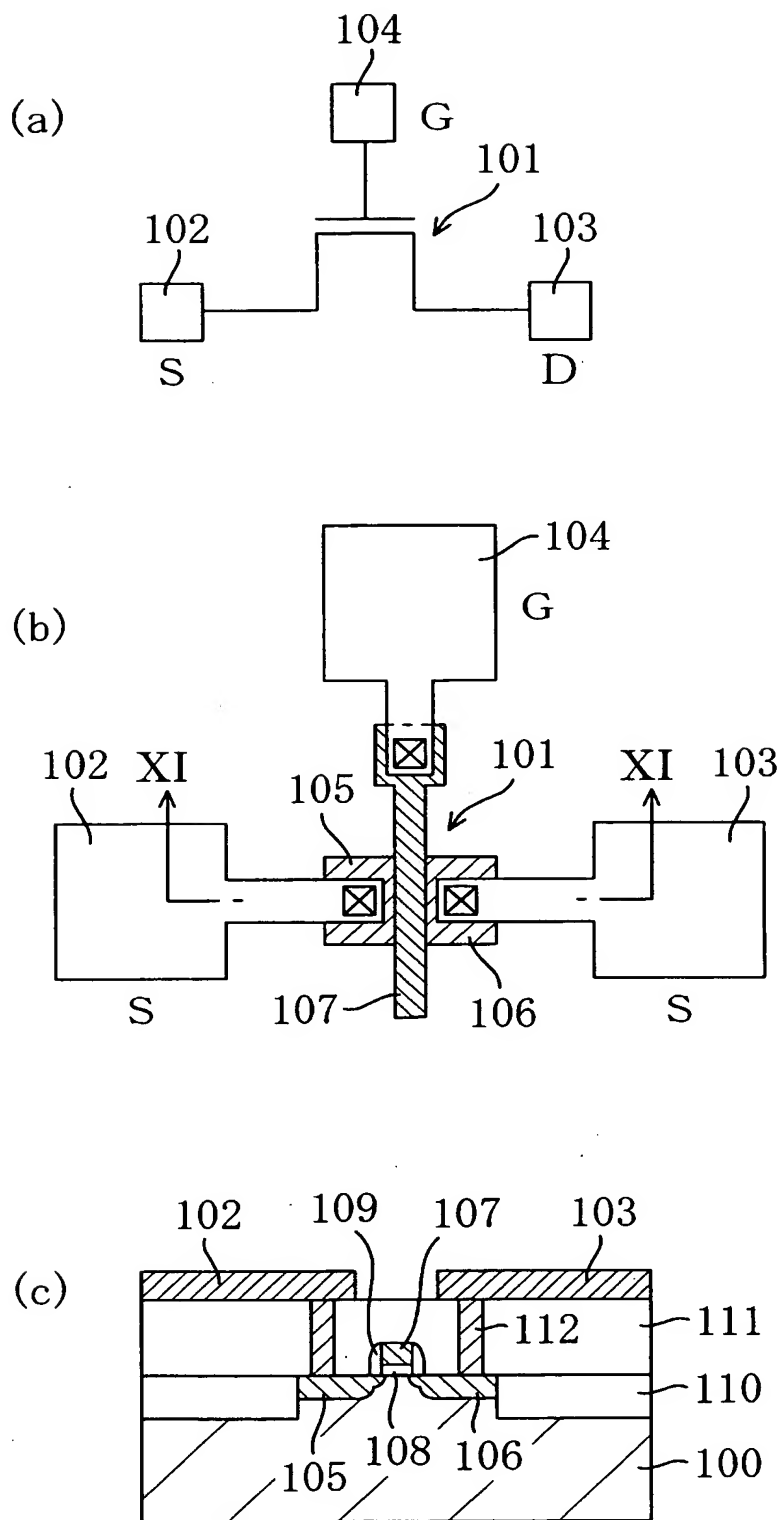




【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 半導体装置全体の特性のばらつきに近い特性のばらつきを得るための評価部を備えた半導体装置及びその特性評価方法を提供する。

【解決手段】 1つの評価部が、実使用MISトランジスタと実質的に同じ構造を有する複数の評価用MISトランジスタTrA～TrCを配置して構成され、ソースパッド12、ドレインパッド13及びゲートパッド14が各評価用MISトランジスタTrA～TrCの各ソース領域15、ドレイン領域16及びゲート電極17に共通に電氣的に接続されている。1つの評価部の実効的なゲート幅がある値を超えると、半導体装置全体の特性のばらつきに近くなるので、評価部を用いると、半導体装置の特性の評価精度が向上する。

【選択図】 図1

特願 2 0 0 3 - 1 2 0 0 7 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社